

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-313051

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H04L 7/02

H03K 5/00

H03L 7/06

(21)Application number : 10-116871

(71)Applicant : NEC CORP

(22)Date of filing : 27.04.1998

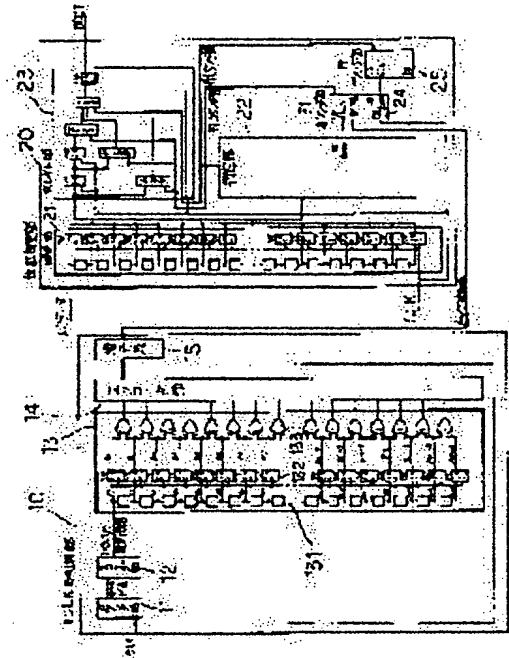
(72)Inventor : HONDA NAOTO

(54) PHASE ADJUSTING CIRCUIT FOR DATA AND CLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To guarantee the phase relationship of data and a clock to fluctuations of the clock and the phase relation by discriminating one clock length delay stage number that jumps to an optimum phase delay stage number when a selected delay number exceeds the maximum or minimum stage number due to the phase fluctuations of the clock or the data.

SOLUTION: One clock length discriminating part 10 generates a periodic signal of one pulse through a counter part 11 and a decoding part 12, fetches a periodic signal of one pulse which undergoes delay at a rise of the periodic signal of one pulse in a change point detecting part 13 and can find a change point by collating outputs of adjacent F/Fs 132. The change point comes to show delay quantity of one pulse and the number of stages becomes one clock length delay stage number. The one clock delay stage number obtained in this way is encoded so as to be used by a phase adjusting part 20 and an integrator 15 temporally balances one clock length delay stage numbers in order to suppress the variation of code values in a short time.



LEGAL STATUS

[Date of request for examination] 27.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3127882

[Date of registration] 10.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3127882号
(P3127882)

(45) 発行日 平成13年1月29日 (2001.1.29)

(24) 登録日 平成12年11月10日 (2000.11.10)

(51) Int.Cl.⁷

識別記号

F I

H 0 4 L 7/02

H 0 4 L 7/02

Z

H 0 3 L 7/06

H 0 3 L 7/06

B

請求項の数 6 (全 8 頁)

(21) 出願番号 特願平10-116871

(22) 出願日 平成10年4月27日 (1998.4.27)

(65) 公開番号 特開平11-313051

(43) 公開日 平成11年11月9日 (1999.11.9)

審査請求日 平成10年4月27日 (1998.4.27)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本田 直人

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

審査官 阿部 弘

(56) 参考文献 特開 平3-255743 (J P, A)

特開 平4-293332 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B名)

H04L 7/02

H03L 7/06

(54) 【発明の名称】 データとクロックの位相調整回路

(57) 【特許請求の範囲】

【請求項1】 データを多段数の第1の遅延手段により遅延をかけ、複数の単位遅延位相差データをクロックで取り込み、データの位相変化に対応して位相を進ませるか、遅らせるかの信号を出力し、クロックに対し最適な位相を選択するデータとクロックの位相調整回路において、

クロックまたはデータの位相変動により選択される遅延段数が前記第1の遅延手段により構成する遅延段数の最大段数または最小段数を越える場合に、クロックのカウント値から1パルスの周期信号を生成し第2の遅延手段で複数の遅延をかけた1パルスの周期信号を取り込み、取り込み結果の隣り合う値を比較することにより最適な位相遅延段数にジャンプする遅延段数である1クロック長遅延段数を判別する1クロック長判別手段と、

前記1クロック長遅延段数を受け、前記第1の遅延手段の出力の値からクロックに対し最適な位相条件にある遅延段数を選択する選択手段を有し、

遅延段数の最大段数または最小段数を越える場合に起こるデータのビット抜けを防ぐことを特徴とするデータとクロックの位相調整回路。

【請求項2】 前記1クロック長判別手段が、前記クロックと同期してクロックの立ち上がり毎に動作するカウンタ手段と、前記カウンタ手段の出力であるカウント値をデコードするデコード手段と、

前記デコード手段により生成される1パルスの周期信号と、前記周期信号を前記第1の遅延手段と同じ多段数の第2の遅延手段により遅延をかけ、第2の遅延手段の出力から1パルスの周期信号の変化点を検出する変化点検

出手段と、
検出された値をコード化するエンコード手段と、
エンコードされた値を時間単位で積分を行う積分手段
と、を有する請求項1記載のデータとクロックの位相調整回路。

【請求項3】 前記1クロック長遅延段数を受け、前記第1の遅延手段の出力の値からクロックに対し最適な位相条件にある遅延段数を選択する選択手段が、
前記第1の遅延手段から出力される複数の前記単位遅延位相差データを受けて、データとクロックとの位相マージンが適当な単位遅延位相差データを選択するデータシフタセレクト部と、
前記第1の遅延手段から出力される、複数の前記単位遅延位相差データの全てを受けて、データ位相を進ませるか、遅らせるかの位相調整信号を出力する判定部と、
前記判定部からの位相調整信号と前記1クロック長遅延手段からの1クロック長遅延段数とクロックを受けて、前記データシフタセレクト部の選択回路の列側の選択単位を決定するカウンタ信号を前記データシフタセレクト部と前記判定部に出力し、前記判定部からの位相調整信号をクロックで取り込んで出力する列カウンタ部と、
前記列カウンタ部からのクロックで取り込んだ位相調整信号を受けて、前記データシフタセレクト部の選択回路の行側の選択単位を決定するカウンタ信号を出力する行カウンタ部と、を有する請求項1記載のデータとクロックの位相調整回路。

【請求項4】 前記変化点検出手段が、
前記第2の遅延手段と、
前記1パルスの周期信号の立ち上がりで、遅延をかけた1パルスの周期信号を取り込むフリップフロップ回路群と、
隣り合うフリップフロップ回路の出力を照合することで変化点を検出する排他論理和回路群を有する請求項2記載のデータとクロックの位相調整回路。

【請求項5】 前記変化点検出手段が、
前記第2の遅延手段と、
前記1パルスの周期信号の立ち上がりで、遅延をかけた1パルスの周期信号を取り込むフリップフロップ回路群と、
前後隣り合うフリップフロップ回路の複数の出力から多数決で変化点を検出する論理回路群を有する請求項2記載のデータとクロックの位相調整回路。

【請求項6】 前記列カウンタ部が、
判定部のデータ位相を進ませるか、遅らせるかの位相調整信号を受け、列カウンタ値を+1または-1を行うUP/DNカウンタと、
前記列カウンタ値が予め設定されているオーバーフロー値になり、さらに列カウンタ値を+1する場合、UP/DNカウンタの値に前記1クロック長遅延段数値を減算する減算手段と、

前記列カウンタ値が予め設定されているアンダーフロー値になり、さらに列カウンタ値を-1する場合、UP/DNカウンタの値に前記1クロック長遅延段数値を加算する加算手段と、を有する請求項3記載のデータとクロックの位相調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロックに対するデータの位相を調整してデータを取り込む位相調整回路に関し、特にクロックの変動や位相関係の大きな変動に対応する位相調整回路に関する。

【0002】

【従来の技術】従来のデータとクロックの位相調整回路では、一定時間内に位相調整を行うための時間を持ち、その中でデータとクロックの位相を判断し位相を調整する方法がとられていた。そしてそれ以外の時間では、データとクロックの位相の調整は行わない回路となっている。たとえば、特開平4-293332号公報に示されている「ビット位相同期回路」がその一例である。

【0003】従来のデータとクロックの位相調整回路は、一定周期毎に位相調整を必要とし、そのため位相調整の間は有効なデータは伝送できない。また、ジッタ、ワンダに対する耐量が低く、位相調整時間に調整した位相も、データとクロックの双方のジッタまたはワンダの量によっては、クロックとデータの位相関係が狂って位相マージンが無くなり、その結果として取り込みデータを誤る不具合が生じる可能性が高い。

【0004】これに対応して、入力クロックによりデータを取り込むデータ受信回路において、位相同期をとるための同期パターンによる有効伝送レートの低下を抑え、高速レートでのジッタ、ワンダに対する耐量を確保できるデータとクロックの位相調整回路が提供されている。

【0005】このデータとクロックの位相調整回路は、図5に示すように、入力クロックに対するデータの位相を調整してデータを取り込むことを可能とするデータとクロックの位相調整回路であって、遅延部1と、データシフタセレクト部2と、判定部3と、列カウンタ部40と、行カウンタ部41と調整後データ出力段フリップフロップ部5とを備える。

【0006】遅延部1は、データの遅延位相を調整し、異なる遅延量のデータを入力クロックで取り込んで複数の単位遅延位相差データを出力する。データシフタセレクト部2は、遅延部1から出力される複数の単位遅延位相差データを受けて、データとクロックとの位相マージンが適当な単位遅延位相差データを選択する。判定部3は、遅延部1から出力される、複数の単位遅延位相差データの全てを受けて、データの変化する位置を観測し、データの変化点とクロックの立ち上がりとが接近した場合は、接近の状態に応じてデータ位相を進ませるか(u

p)、遅らせるか(down)の位相調整信号を出力する。列カウンタ部40は、判定部3から出力される、位相調整信号を受けて、データシフタセクタ部2の選択回路の列(Row)側の選択単位を決定するカウンタ信号を出力し、判定部3から出力される、位相調整信号をクロックで取り込んだ信号を出力する。行カウンタ部41は、列カウンタ部40から出力された、位相調整信号をクロックで取り込んだ信号を受けて、データシフタセクタ部2の選択回路の行(column)側の選択単位を決定するカウンタ信号を出力する。調整後データ出力段フリップフロップ部5は、データシフタセクタ部2で選択された出力信号を入力クロックで取り込んでデータとして出力する。

【0007】このデータとクロックの位相調整回路では、上述の回路構成によって、クロックとデータの位相チェックを、データの変化の度に行う。このため、位相調整用の特別なデータは必要なく、位相調整用のデータ時間は不要となっている。

【0008】

【発明が解決しようとする課題】しかし、高速なデータをLSI間や装置間で伝送を行う場合、伝送路上でクロックとデータの位相関係は一般的に一致している保証はない。このような場合、LSI間や装置間で位相調整回路により高速のデータの位相を合わせて伝送を行うが、長い時間におけるクロックの変動や位相関係の大きな変動に対し、物理量が限られてしまう遅延部の中で、データとクロックの位相関係を保証する必要がある。

【0009】更に、クロックまたは入力データの位相変動により選択される遅延段数が、データシフタセクタ部の選択回路の列側カウンタの最大値または最小値を越える場合に起こるビットシフトをシフトレジスタによりシフトされたデータを選択することでビット抜けを引き起こす恐れがある。

【0010】本発明の目的は長い時間におけるクロックの変動や位相関係の大きな変動に対し、物理量が限られてしまう遅延部であっても、データとクロックの位相関係を保証する位相調整回路を提供することである。

【0011】

【課題を解決するための手段】本発明のデータとクロックの位相調整回路は、1クロック長遅延段数を測定できる1クロック長判別手段をもうけることで実現する。

【0012】本発明のデータとクロックの位相調整回路は、データを多段数の第1の遅延手段により遅延をかけ、複数の単位遅延位相差データをクロックで取り込み、データの位相変化に対応して位相を進ませるか、遅らせるかの信号を出力し、クロックに対し最適な位相を選択するデータとクロックの位相調整回路において、クロックまたはデータの位相変動により選択される遅延段数が第1の遅延手段により構成する遅延段数の最大段数または最小段数を越える場合に、クロックのカウント値

から1パルスの周期信号を生成し第2の遅延手段で複数の遅延をかけた1パルスの周期信号を取り込み、取り込み結果の隣り合う値を比較することにより最適な位相遅延段数にジャンプする遅延段数である1クロック長遅延段数を判別する1クロック長判別手段と、1クロック長遅延段数を受け、第1の遅延手段の出力の値からクロックに対し最適な位相条件にある遅延段数を選択する選択手段を有し、遅延段数の最大段数または最小段数を越える場合に起こるデータのビット抜けを防ぐことを特徴とする。

【0013】また、1クロック長判別手段は、クロックと同期してクロックの立ち上がり毎に動作するカウンタ手段と、そのカウント値をデコードするデコード手段と、デコード手段により生成される1パルスの周期信号を第1の遅延手段と同じ多段数の第2の遅延手段により遅延をかけ、第2の遅延手段の出力から1パルスの周期信号の変化点を検出する変化点検出手段と、検出された値をコード化するエンコード手段と、エンコードされた値を積分する積分手段とを有する。

【0014】また、1クロック長遅延段数を受け、第1の遅延手段の出力の値からクロックに対し最適な位相条件にある遅延段数を選択する選択手段は、第1の遅延手段から出力される複数の単位遅延位相差データを受けて、データとクロックとの位相マージンが適当な単位遅延位相差データを選択するデータシフタセクタ部と、第1の遅延手段から出力される、複数の単位遅延位相差データの全てを受けて、データ位相を進ませるか、遅らせるかの位相調整信号を出力する判定部と、判定部からの位相調整信号と1クロック長判別手段からの1クロック長遅延段数とクロックを受けて、データシフタセクタ部の選択回路の列側の選択単位を決定するカウンタ信号をデータシフタセクタ部と判定部に出力し、判定部からの位相調整信号をクロックで取り込んで出力する列カウンタ部と、列カウンタ部からのクロックで取り込んだ位相調整信号を受けて、データシフタセクタ部の選択回路の行側の選択単位を決定するカウンタ信号を出力する行カウンタ部とを有する。

【0015】更に、列カウンタ部は、判定部の位相調整信号を受け、列カウンタ値を+1または-1を行うUP/DNカウンタと、列カウンタ値が予め設定されているオーバーフロー値になり、さらに列カウンタ値を+1する場合、UP/DNカウンタの値に1クロック長遅延段数値を減算する減算手段と、列カウンタ値が予め設定されているアンダーフロー値になり、さらに列カウンタ値を-1する場合、UP/DNカウンタの値に1クロック長遅延段数値を加算する加算手段とを有する。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の位相調整回路の構成を示すブロック図、図2は、図1の位

相調整部のデータシフタセクタ部の回路図、図3は、図1の位相調整部の列カウンタ部の回路図、図4は図1の1クロック長判別部の変化点検出部の回路における各部の位相波形を示す図である。

【0017】本発明の位相調整回路は、大きな構成として1クロック長判別部10と位相調整部20を備えている。

【0018】まず、位相調整部20は、入力されるデータとクロックの位相を、多段の遅延部21により遅延をかけたデータをフリップフロップ（以降F/Fと称す）にて取り込み、判定部22とデータシフタセクタ部23に出力する遅延部21と、遅延部21の出力からクロックの立ち上がりに対するデータの変化位置を決定し、データ位相を進ませる「up」信号が遅らせる「down」信号を出力する判定部22と、この「up」信号または「down」信号を受け、列カウンタ値を1つ前進、1つ後退または変化無しとして判定部22及びデータシフタセクタ部23に送出し、さらに判定部22から受けた「up」信号および「down」信号を各々クロックで取り込み直して「CUP」信号および「CDN」信号として行カウンタ部25へ送出し、1クロック長判別部10からの1クロック長遅延段数によりカウンタ値がオーバーフローまたはアンダーフローするときにカウンタ値を「列カウンタ最大値-1クロック長遅延段数」、または「列カウンタ最小値+1クロック長遅延段数」とする列カウンタ部24と、上記「CUP」信号、「CDN」信号を受けて行カウンタ値を1つ前進、1つ後退または変化無しとして、データシフタセクタ部23に送出する行カウンタ部24と、単位遅延用F/Fのアレイトとセクタ群で構成され遅延部21から出力されたデータと、列カウンタ値と行カウンタ値を基に、クロックの立ち上がりに対するデータの変化点がビット誤りを発生しない位相となるための遅延データを選択し「DOUT」として出力するデータシフタセクタ部23により構成される。

【0019】次に、1クロック長判別部10は、クロックの立ち上がり毎にカウンタ値を+1していきカウンタ値が最大値になると初期値にもどしカウンタ値を+1していくカウンタ部11と、入力されるカウンタ値が、ある値をとった時に「L」レベルを出力し、それ以外の時は「H」レベルの1パルスの周期信号を出力するデコーダ部12と、1パルスの周期信号を位相調整部20の遅延部21と同じ多段の遅延部131にて遅延をかけ、それぞれの遅延部131の出力を1パルスの遅延部131の立ち上がりで取り込むF/F132で取り込み、各F/F132の出力よりレベル変化を検出する論理回路133で1パルスの周期信号の立ち下がり位置を検出する変化点検出部13と、変化点検出部13からの出力よりジャンプ段数をコード化するエンコーダ部14と、ある時間により、コード化された値を積分し1クロック長遅

延段数値を位相調整部20へ出力する積分部15により構成される。

【0020】次に、本回路の動作を説明する。

【0021】位相調整部20は、動作概要として遅延部21から出力される“異なる遅延量のデータをクロックで取り込んだ出力”である単位遅延位相差データを選択する。その選択したデータの位相とクロックの位相との関係を判定部22により監視する。その結果、現在選択している遅延部21のデータとクロックとの位相マージンが少なくなると、判定部22の指示に基づいて、列カウンタ部24、行カウンタ部25に位相調整を指示する。列カウンタ部24、行カウンタ部25で指定される信号によってデータシフタセクタ部23の選択回路で選択信号を変更することによりクロックに対するデータの位相マージンを増加させる。

【0022】遅延部21は、データ入力を多段の遅延部21により、遅延をかけ各遅延部21の出力をF/Fにて同一クロックで取り込むことで、異なる遅延を通ったデータつまり、入力データの位相の異なった出力データを得ることができる。判定部22では、遅延部22の出力データの変化する位置を検出し、データの変化点がクロックの立ち上がりタイミングが近いかな否かを検出し、検出の結果、クロックの立ち上がりとデータの変化のタイミングが近い場合は、データの位相変化を指示する信号を出力する。本来のデータに対し前の遅延位相でデータの変化を検出した場合は位相を遅らせる「up」信号を出力し、本来のデータに対し後の遅延位相でデータの変化を検出した場合は位相を進ませる「down」信号を出力する。

【0023】列カウンタ部24は、図2に示すように、判定部22の「up」、「down」信号を受け、列カウンタ値を+1または-1を行う。そして列カウンタ値がオーバーフロー値（最大値）になり、さらに「up」を受けた場合オーバーフローとなりUP/DNカウンタの値を「列カウンタ最大値-1クロック長遅延段数値」の値にロードし、行カウンタを+1動作させるCUP信号を出力する。また列カウンタ値がアンダーフロー値（最小値）となりさらに「down」信号を受けた場合アンダーフローとなりUP/DNカウンタの値を「列カウンタ最小値+1クロック長遅延段数値」とし、行カウンタを-1動作させるCDN信号を出力する。

【0024】行カウンタ部25は、列カウンタから入力されるCUP信号とCDN信号をもとに行カウンタ値を+1または-1させる。

【0025】データシフタセクタ部は、図3に示すように、行カウンタ値と列カウンタ値をもとに、単位遅延用F/Fのデータ出力を選択し、「DOUT」として後段へ出力する。このとき選択されたデータというのは、判定部22でデータとクロックの位相関係をクロックの立ち上がりで見て、安全に取り込むことができるデータ

をとることになるので、これらで位相調整を行う。

【0026】1クロック長判別部10は、1パルスの周期信号をカウンタ部11とデコーダ部12により作成し、変化点検出部13において、図4に示すように1パルスの周期信号の立ち上がりで、遅延をかけた1パルスの周期信号を取り込み、隣り合うF/Fの出力を照合することで変化点を見つけることができる。そして、その変化点が、1パルス分の遅延量を示すこととなり、その段数が1クロック長遅延段数となる。こうして得られた1クロック長遅延段数を位相調整部20で使用するためにコード化し、また短い時間でコード値がばらつくのを押さえるために積分器15で、時間的に1クロック長遅延段数を平均化する。

【0027】変化点検出部13は、位相調整部20の遅延部21の遅延段数と同じ遅延部131と、1パルスの周期信号の立ち上がりで、遅延をかけた1パルスの周期信号を取り込むフリップフロップ回路群132と、隣り合うフリップフロップ回路の出力を照合することで変化点を検出する排他論理和回路群133により構成されている。

【0028】また、他の実施例では、変化点検出部13は、位相調整部20の遅延部21の遅延段数と同じ遅延部131と、1パルスの周期信号の立ち上がりで、遅延をかけた1パルスの周期信号を取り込むフリップフロップ回路群132と、前後に隣り合うフリップフロップ回路3個の出力から多数決で変化点を検出する論理回路群により構成されていても良い。

【0029】そして、位相調整部20は、1クロック長判別部10により得られた1クロック長遅延段数値を図2、3に示す回路構成にて、列カウンタ値がオーバーフローするときには「列カウンタ最大値-1クロック長遅延段数値」、またアンダーフローするときは「列カウンタ最小値+1クロック長遅延段数値」という動作をすることで、単位遅延用フリップフロップを1クロック長遅延段数分ずれたデータを選択し、そのことが、1クロック分ジャンプしたことになる。

【0030】

【発明の効果】本発明により、従来の位相調整回路ではジャンプが発生したときに、データとクロックの保証ができていなかったものが、1クロック長を判定することで、データとクロックの位相関係を保証できるという効果がある。

【0031】更に、本発明により、1クロック長を同じ信号でF/Fで取り込むことで、時間によりゆっくり変化する温度や電源電圧等の変化が発生しても正しい段数値を得ることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明のデータとクロックの位相調整回路の構成を示すブロック図である。

【図2】図1の位相調整部の列カウンタ部の構成を示すブロック図である。

【図3】図1の位相調整部のデータシフトセクタ部の構成を示すブロック図である。。

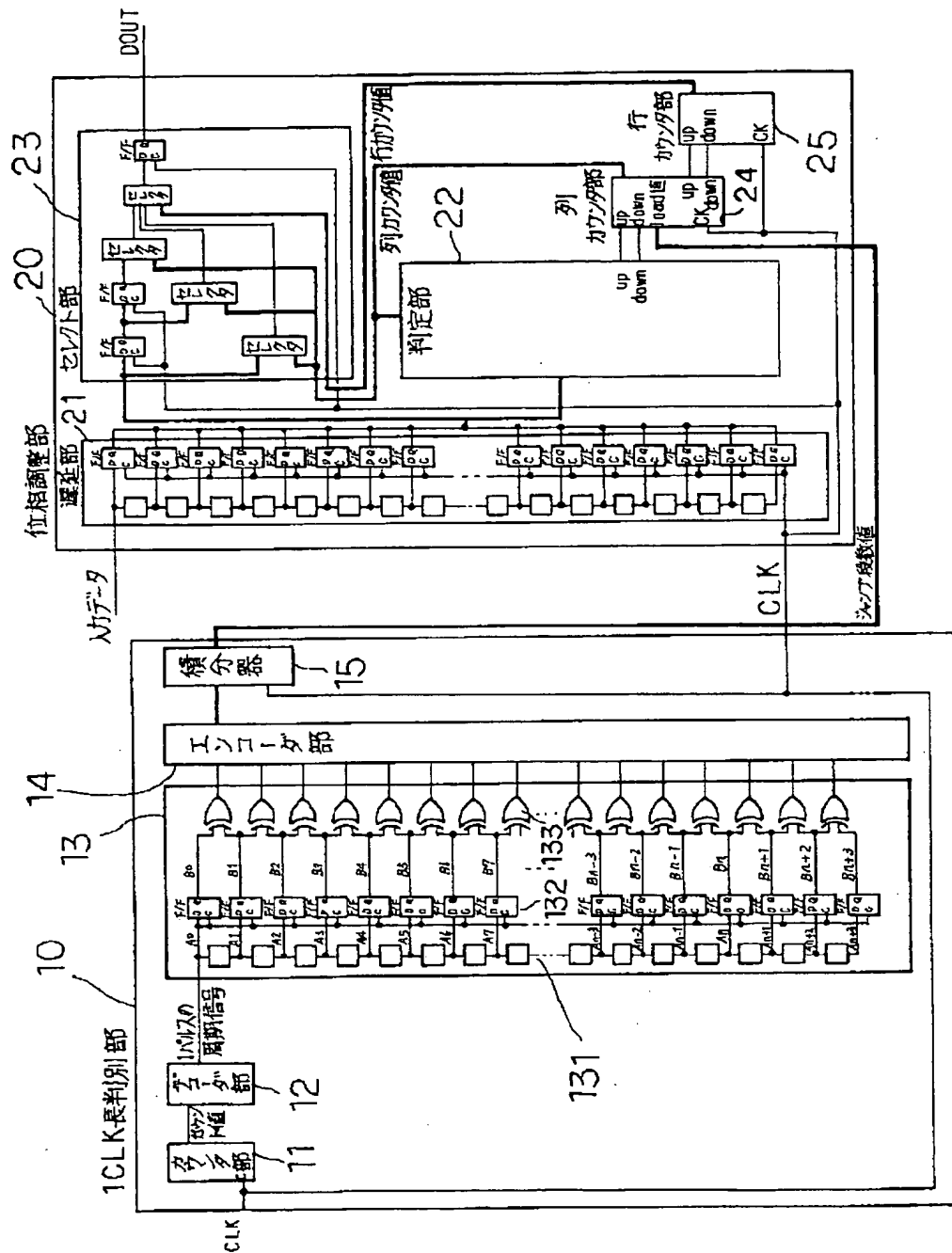
【図4】図1の1クロック長判別部の変化点検出部の回路における各部の位相波形を示す図である。

【図5】従来の位相調整回路の構成を示すブロック図である。

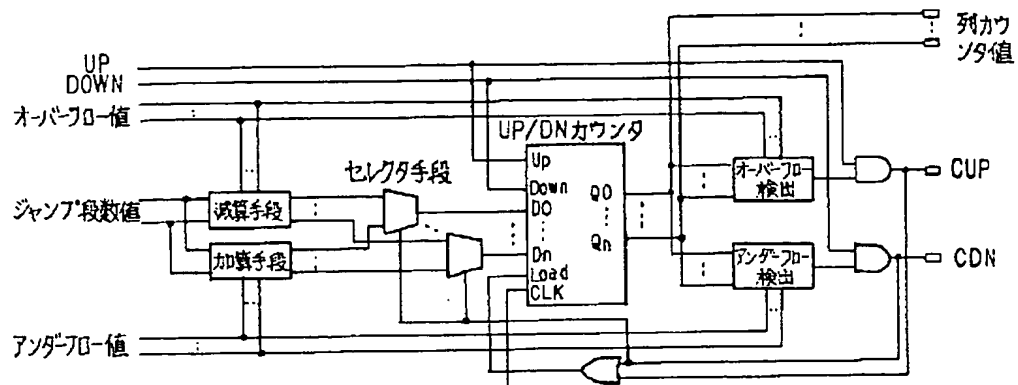
【符号の説明】

10	1クロック長判別部
11	カウンタ部
12	デコーダ部
13	変化点検出部
131	遅延部
132	F/F回路
133	排他論理和回路
14	エンコーダ部
15	積分器
20	位相調整部
21	遅延部
22	判定部
23	データシフトセクタ部
24	列カウンタ部
25	行カウンタ部

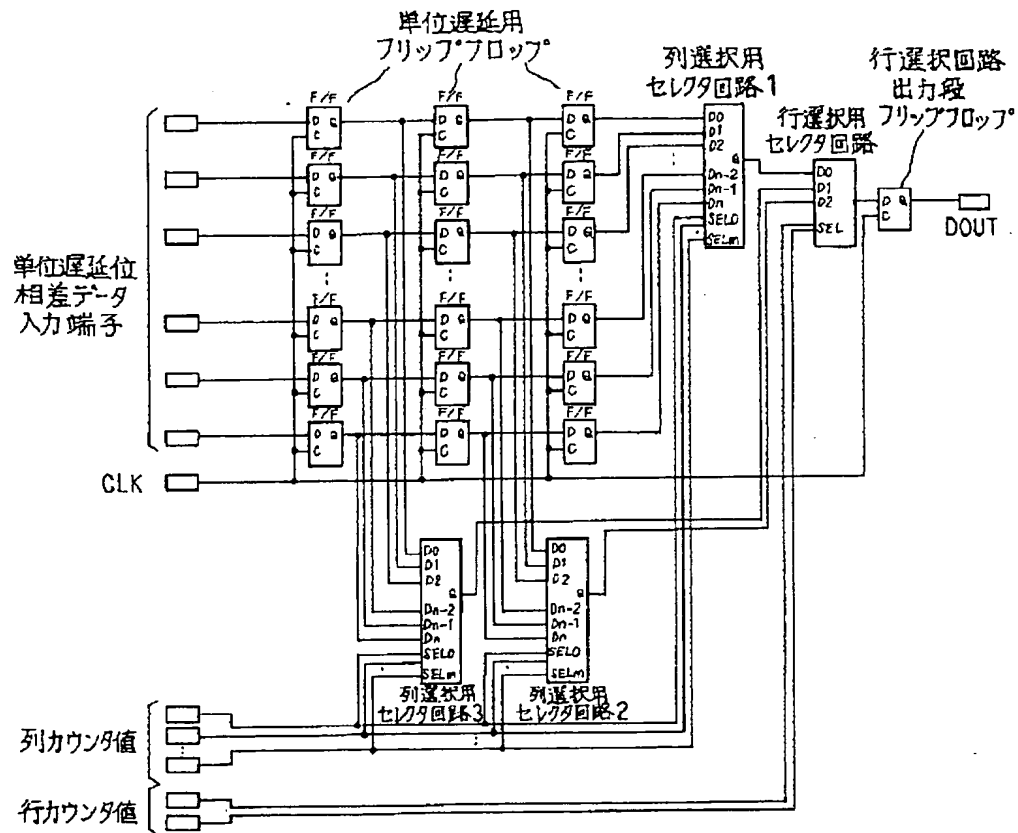
【図1】



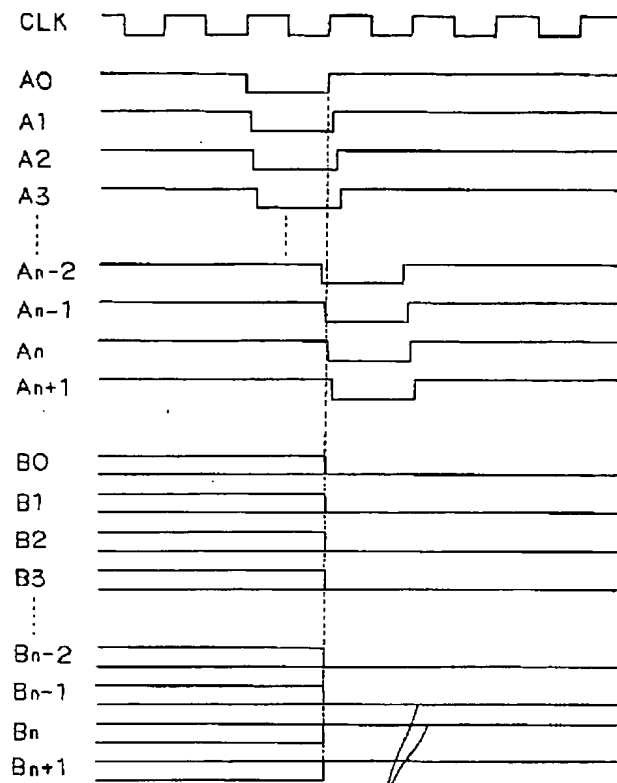
【図2】



【図3】



【図4】



隣同士をチェックし、異なるあたいをとり
場所を変化点とする。この場合はn段

【図5】

